



DK-NANO-GW2A55-PG484 V1.1

# 用户手册

DBUG374-1.0,2020-07-27

## **版权所有© 2020 广东高云半导体科技股份有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

### **免责声明**

本档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些档进行适时的更新。

## 版本信息

日期	版本	说明
2020/07/27	1.0	初始版本。

# 目录

目录 .....	i
图目录 .....	iii
表目录 .....	iv
<b>1 关于本手册 .....</b>	<b>1</b>
1.1 手册内容 .....	1
1.2 适用产品 .....	1
1.3 相关文档 .....	1
1.4 术语、缩略语 .....	1
1.5 技术支持与反馈 .....	2
<b>2 开发板简介 .....</b>	<b>3</b>
2.1 概述 .....	3
2.2 开发板套件 .....	4
2.3 PCB 组件 .....	5
2.4 系统框图 .....	6
2.5 特性 .....	6
<b>3 开发板电路 .....</b>	<b>8</b>
3.1 FPGA 模块 .....	8
3.2 下载模块 .....	8
3.2.1 介绍 .....	8
3.2.2 管脚分配 .....	9
3.3 电源 .....	10
3.3.1 介绍 .....	10
3.4 时钟 .....	10
3.4.1 介绍 .....	10
3.4.2 管脚分配 .....	10
3.5 LVDS 接口 .....	11

---

3.5.1 介绍.....	11
3.5.2 管脚分配.....	12
3.6 MIPI DSI .....	13
3.6.1 介绍.....	13
3.6.2 管脚分配.....	14
3.7 MIPI CSI .....	15
3.7.1 介绍.....	15
3.7.2 管脚分配.....	17
3.8 GPIO.....	18
3.8.1 介绍.....	18
3.8.2 管脚分配.....	20
3.9 LED 模块.....	22
3.9.1 介绍.....	22
3.9.2 管脚分配.....	23
3.10 按键模块.....	23
3.10.1 介绍.....	23
3.10.2 管脚分配.....	24
3.11 开关模块.....	24
3.11.1 介绍.....	24
3.11.2 管脚分配.....	25
3.12 数码管模块.....	25
3.12.1 介绍.....	25
3.12.2 管脚分配.....	26
3.13 蜂鸣器模块.....	26
3.13.1 介绍.....	26
3.13.2 管脚分配.....	26

# 图目录

图 2-1 DK-NANO-GW2A55-PG484 V1.1 开发板 .....	3
图 2-2 开发板套件.....	4
图 2-3 开发板 PCB 组件说明 .....	5
图 2-4 系统框图 .....	6
图 3-1 FPGA 下载与配置连接示意图.....	9
图 3-2 异步 FIFO 连接示意图 .....	9
图 3-3 时钟连接示意图 .....	10
图 3-4 LVDS TX 接口示意图.....	11
图 3-5 LVDS RX 接口示意图 .....	11
图 3-6 MIPI DSI TX0 模块连接示意图 .....	13
图 3-7 MIPI DSI TX1 模块连接示意图 .....	14
图 3-8 MIPI CSI RX0 模块连接示意图.....	16
图 3-9 MIPI CSI RX1 模块连接示意图.....	16
图 3-10 40pin GPIO0 接口示意图.....	19
图 3-11 40pin GPIO1 接口示意图.....	20
图 3-12 LED 连接示意图 .....	23
图 3-13 按键电路 .....	24
图 3-14 开关电路 .....	25
图 3-15 数码管电路 .....	25
图 3-16 蜂鸣器电路 .....	26

# 表目录

表 1-1 术语、缩略语 .....	1
表 3-1 FPGA 下载与配置管脚分配 .....	9
表 3-2 时钟、复位管脚分配 .....	10
表 3-3 LVDS TX0 接口管脚分配 .....	12
表 3-4 LVDS TX1 接口管脚分配 .....	12
表 3-5 LVDS RX0 接口管脚分配 .....	12
表 3-6 LVDS RX1 接口管脚分配 .....	13
表 3-7 MIPI DSI TX0 模块管脚分配 .....	14
表 3-8 MIPI DSI TX1 模块管脚分配 .....	15
表 3-9 MIPI CSI RX0 模块管脚分配 .....	17
表 3-10 MIPI CSI RX1 模块管脚分配 .....	18
表 3-11 40pin GPIO0 接口管脚分配 .....	20
表 3-12 40pin GPIO1 接口管脚分配 .....	21
表 3-13 LED 指示灯管脚分配 .....	23
表 3-14 按键模块管脚分配 .....	24
表 3-15 开关模块管脚分配 .....	25
表 3-16 数码管管脚分配 .....	26
表 3-17 蜂鸣器模块管脚分配 .....	26

# 1 关于本手册

## 1.1 手册内容

DK-NANO-GW2A55-PG484 V1.1 开发板（以下简称开发板）用户手册分为三个部分：

1. 简要介绍开发板的功能特点；
2. 介绍开发板的整体系统架构和硬件资源；
3. 介绍开发板各部分硬件电路的功能、电路及管脚分配；

## 1.2 适用产品

本手册中描述的信息可适用于以下高云 FPGA 产品：  
GW2A-LV55PG484 器件。

## 1.3 相关文档

通过登录高云半导体网站 [www.gowinsemi.com.cn](http://www.gowinsemi.com.cn) 可以下载、查看以下相关文档：

1. [DS102](#)，GW2A 系列 FPGA 产品数据手册
2. [UG113](#)，GW2A-55 器件 Pinout 手册
3. [UG111](#)，GW2A 系列 FPGA 产品封装与管脚手册

## 1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
B-SRAM	Block SRAM	块状静态随机存储器
DDR	Double-Data-Rate Synchronous Dynamic Random Access Memory	双倍速率同步动态随机存储器
DSP	Digital Signal Processing	数字信号处理



术语、缩略语	全称	含义
FLASH	Flash Memory	非易失存储器
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPIO	General Purpose Input Output	通用输入/输出
LDO	Low Dropout Regulator	低压差线性稳压器
LUT4	4-input Look-up Tables	4输入查找表
LVDS	Low-Voltage Differential Signaling	低电压差分信号
S-SRAM	Shadow SRAM	分布式静态随机存储器

## 1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：[www.gowinsemi.com.cn](http://www.gowinsemi.com.cn)

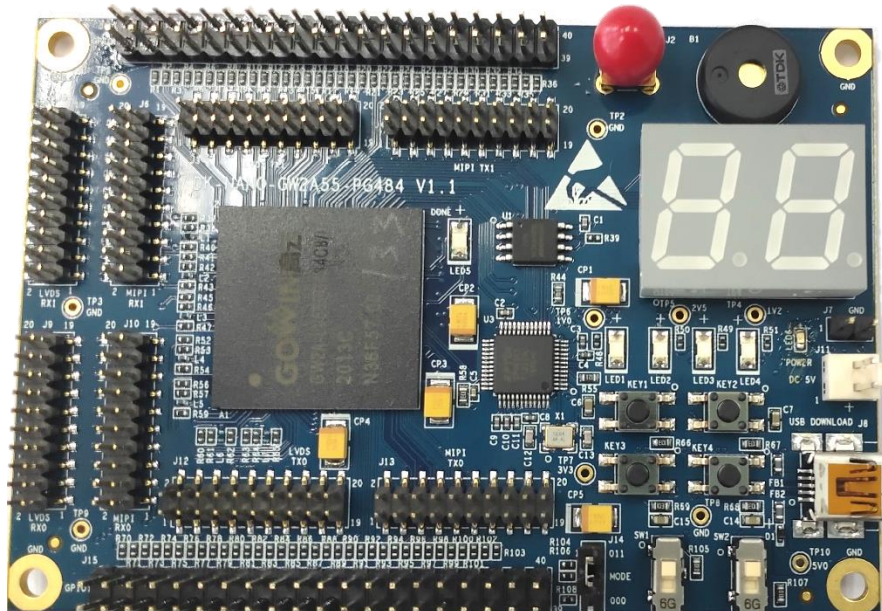
E-mail：[support@gowinsemi.com](mailto:support@gowinsemi.com)

Tel: 86-20-8757-8868

# 2 开发板简介

## 2.1 概述

图 2-1 DK-NANO-GW2A55-PG484 V1.1 开发板



DK-NANO-GW2A55-PG484 V1.1 开发板适用于基于 MIPI、LVDS 等高速通信测试、55K 系列 FPGA 功能评估、硬件可靠性验证及软件学习调试等多种应用需求。

开发板采用高云 GW2A-LV55PG484 的 FPGA 器件，该器件为高云半导体晨熙®家族第一代产品。内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。

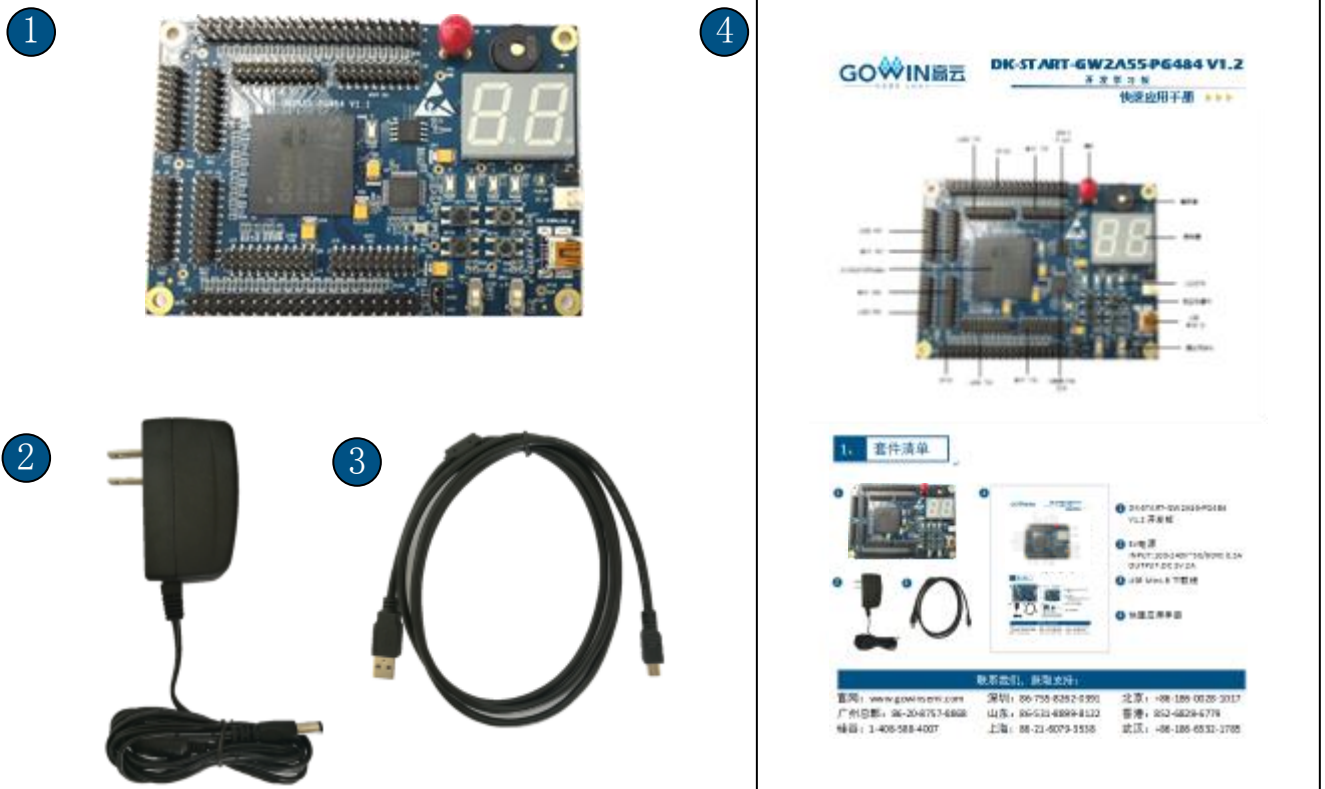
开发板设计了丰富的外部接口，包括 LVDS 接口、MIPI CSI、MIPI DSI、及 GPIO 接口；外接 FLASH 芯片用于存储 FPGA 的配置程序；滑动开关、按键、LED、蜂鸣器方便用户调试使用。

## 2.2 开发板套件

开发板套件包括:

- DK-NANO-GW2A55-PG484 V1.1 开发板
- 5V 电源（输入：100-240V~50/60Hz 0.5A，输出：DC 5V 2A）
- Mini-USB 数据线
- 快速应用手册

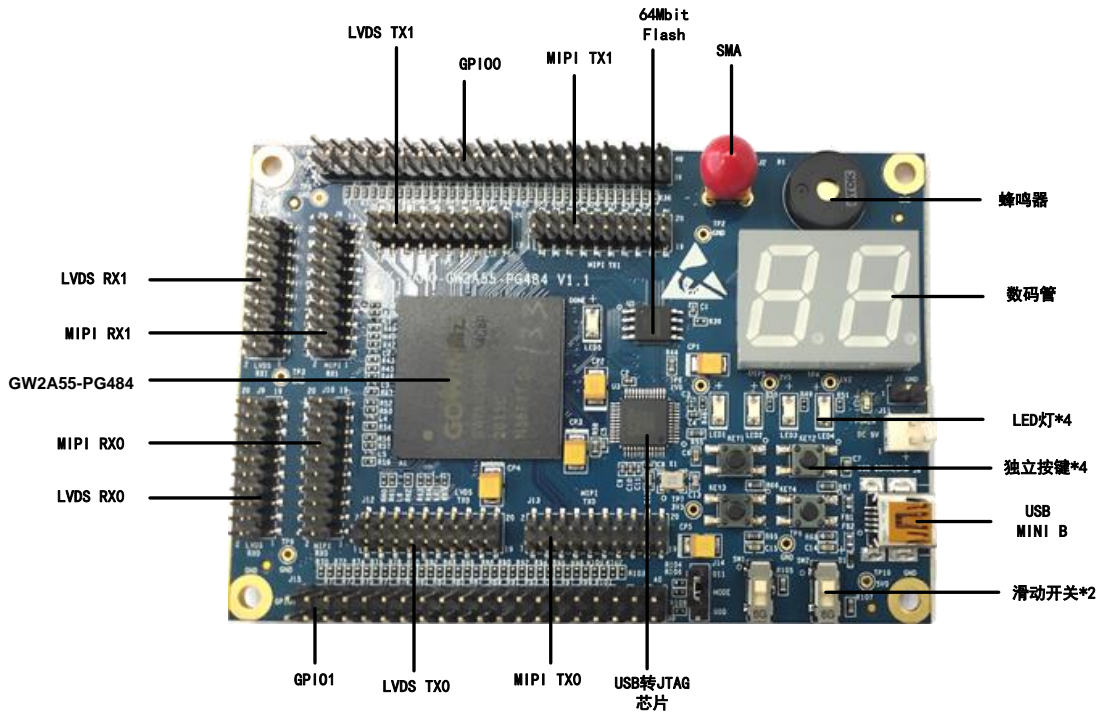
图 2-2 开发板套件



- ① DK- NANO-GW2A55-PG484 V1.1开发板
- ② 5V电源
- ③ Mini-USB数据线
- ④ 快速应用手册

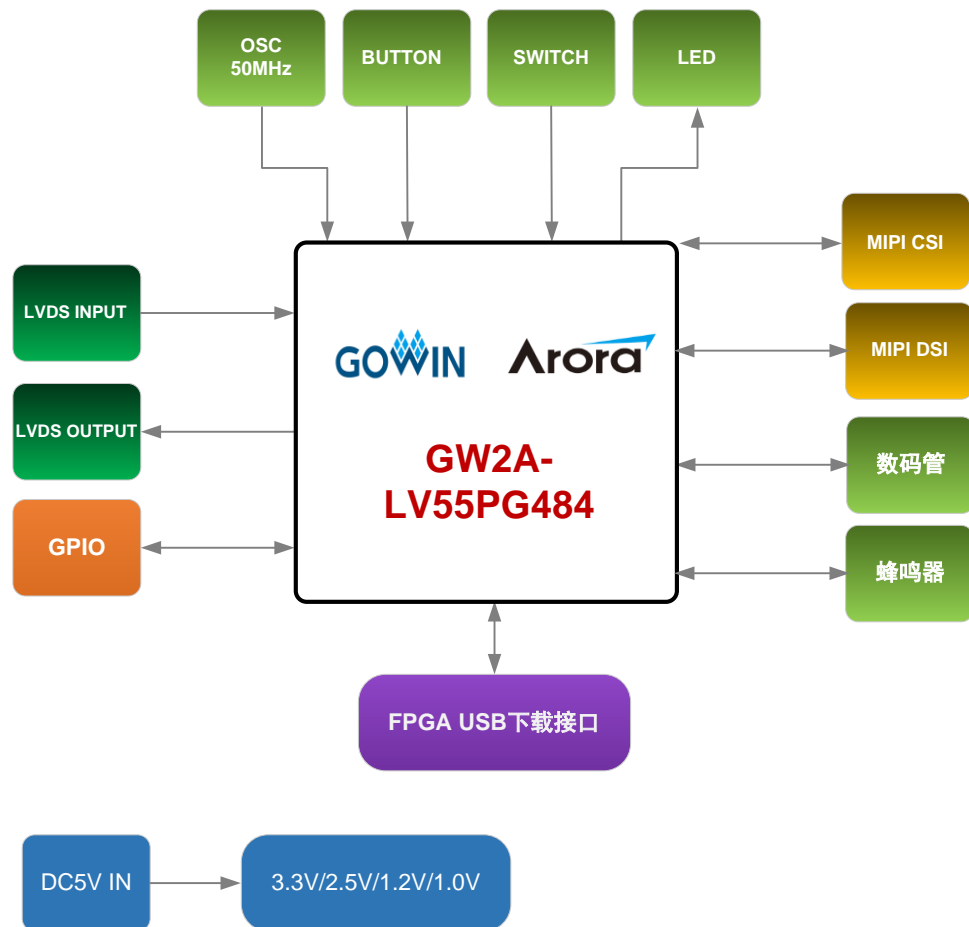
## 2.3 PCB 组件

图 2-3 开发板 PCB 组件说明



## 2.4 系统框图

图 2-4 系统框图



## 2.5 特性

开发板的关键特性如下：

1. FPGA 器件
  - 高云 GW2A-LV55PG484 的 FPGA
  - 多达 319 个用户 I/O
2. 下载与启动
  - 板上集成下载模块，可直接使用 USB Mini B 数据线下下载 FPGA
  - 外部 FLASH 启动
  - 加载完成后，蓝色 DONE 灯亮
3. 供电方式
  - 外部 DC 5V 2A 供电
  - 上电后，蓝色 POWER 灯亮

- 开发板产生 3.3V、2.5V、1.2V、1.0V 电源。
4. 时钟系统
    - 50MHz 晶振输入
  5. 存储器件
    - 64Mbit FLASH
  6. LVDS 接口
    - 2 路 LVDS 接收，包括 10 对差分信号。
    - 2 路 LVDS 发送，包括 10 对差分信号。
  7. MIPI DSI 接口
    - 接口包括 5 对差分，其中 1 路时钟、4 路数据。
    - 5 个 lane 的 DSI 信号同时引到 20pin 2.00mm 间距的双排插针
  8. MIPI CSI 接口
    - 接口包括 5 对差分，其中 1 路时钟、4 路数据。
    - 5 个 lane 的 CSI 信号同时引到 20pin 2.00mm 间距的双排插针
  9. GPIO 接口
    - 40PIN 双排插针，引出 34 个 GPIO，I/O 所在 Bank 电压为 3.3V，同时引出一个 3.3V，一个 5V，两个地插针。
    - 40PIN 双排插针，引出 36 个 GPIO，所有 I/O 与 40PIN 插针复用 FPGA 的 GPIO，同时引出两个 3.3V，一个 5V，两个地插针。
  10. 调试模块
    - 4 个按键
    - 2 个开关
    - 1 个蜂鸣器
    - 4 个蓝色 LED

# 3 开发板电路

## 3.1 FPGA 模块

### 概述

GW2A 系列 FPGA 产品资源信息请参考 [DS102](#)，GW2A 系列 FPGA 产品数据手册。

### I/O BANK 说明

GW2A 系列 FPGA 产品的 I/O BANK 整体示意图及管脚封装信息请参考 [UG111](#)，GW2A 系列 FPGA 产品封装与管脚手册。

## 3.2 下载模块

### 3.2.1 介绍

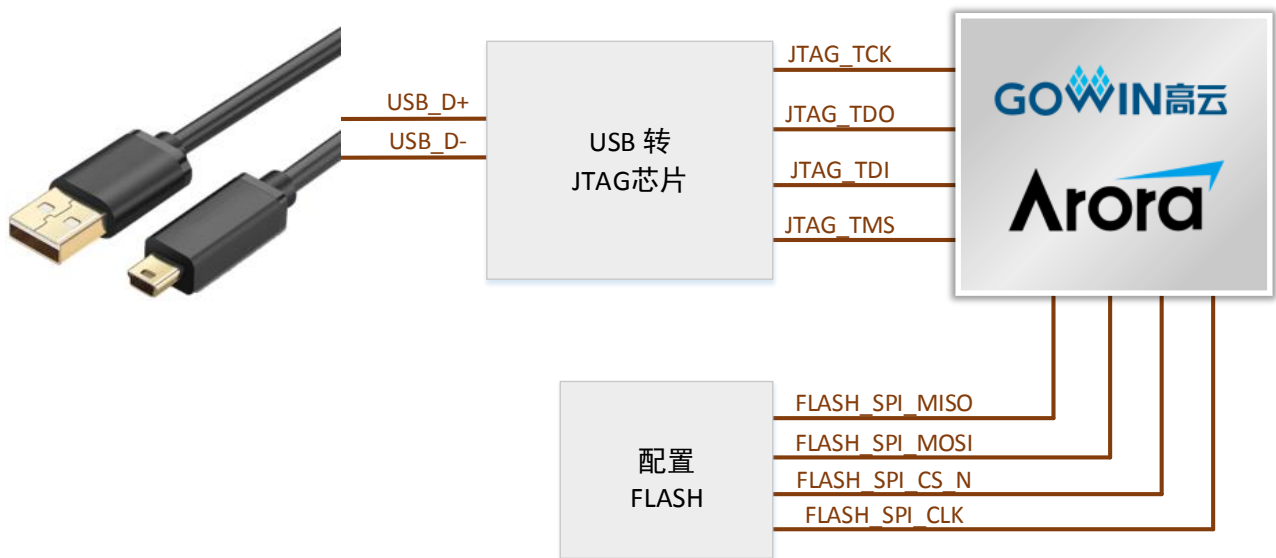
开发板提供 USB 下载接口，由 FT2232 USB 转换芯片的 A 通道来实现。通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE 设置为“011”，将数据下载到配置 Flash 器件中。将 MODE 设置为“000”，重新上电，器件自行从配置 Flash 读取 FPGA 配置数据。

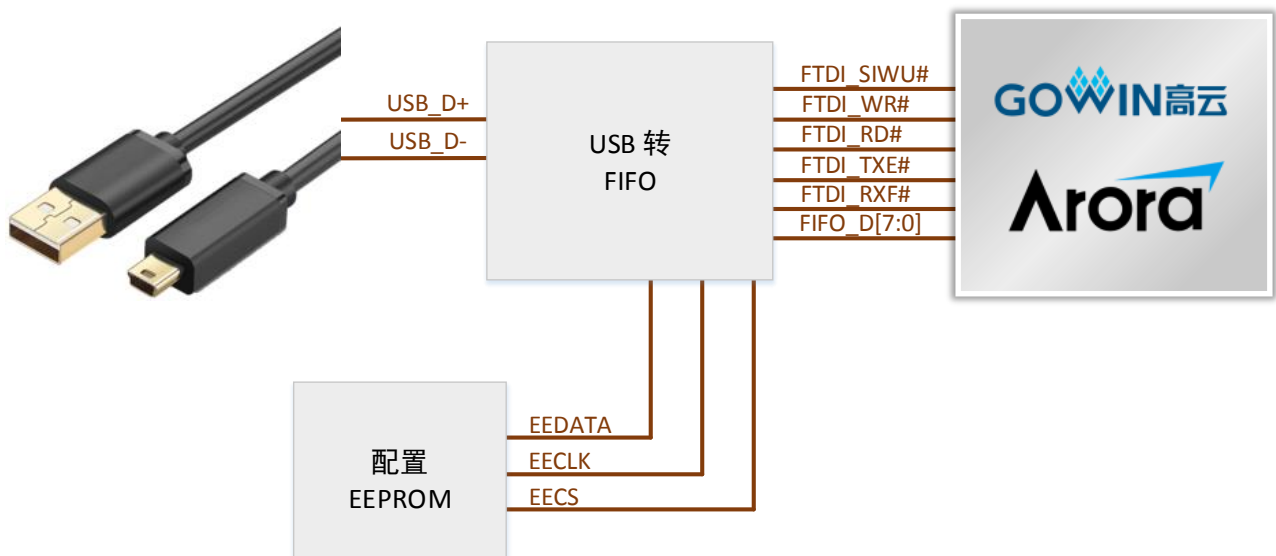
下载、配置的连接示意图如图 3-1 所示：

图 3-1 FPGA 下载与配置连接示意图



通过配置 EEPROM 芯片，可以将 FT2232 的 B 通道配置为异步 FIFO 接口，连接示意图如图 3-2 所示：

图 3-2 异步 FIFO 连接示意图



### 3.2.2 管脚分配

表 3-1 FPGA 下载与配置管脚分配

信号名称	FPGA管脚号	BANK	I/O电平	描述
JTAG_TCK	N20	2	3.3V	JTAG信号
JTAG_TDO	M22	2	3.3V	JTAG信号
JTAG_TDI	M20	2	3.3V	JTAG信号
JTAG_TMS	N22	2	3.3V	JTAG信号



信号名称	FPGA管脚号	BANK	I/O电平	描述
FLASH_SPI_MISO	P19	3	1.5V	配置FLASH信号
FLASH_SPI_MOSI	P20	3	1.5V	配置FLASH信号
FLASH_SPI_CS_N	N18	3	1.5V	配置FLASH信号
FLASH_SPI_CLK	P18	3	1.5V	配置FLASH信号

## 3.3 电源

### 3.3.1 介绍

开发板通过电源适配器供电，适配器的参数为输入：100-240V~50/60MHz 0.5A，输出：DC +5V 2A。

输入的 5V 电源通过开发板上的电源芯片产生 3.3V、2.5V、1.2V、1.0V 电源。采用 1 片 NCP3170ADR2G DC-DC 电源芯片，产生 3.3V，最大输出电流 3A。采用 3 片 TPS7A7001 LDO 电源芯片，产生 2.5V、1.2V 和 1.0V，最大输出电流 2A。

## 3.4 时钟

### 3.4.1 介绍

开发板为 FPGA 提供了一个 50MHz 有源晶振，连接到了全局时钟引脚。

图 3-3 时钟连接示意图



### 3.4.2 管脚分配

表 3-2 时钟、复位管脚分配

信号名称	FPGA管脚号	BANK	I/O电平	描述
CLK_G	M19	2	3.3V	50MHz有源晶振输入

## 3.5 LVDS 接口

### 3.5.1 介绍

LVDS 接口为 4 个 2.00mm 间距的 20pin 插针，其中两个发送接口，两个接收接口，每个接口包含 5 对差分信号。这些接口也可用作 GPIO，BANK 电压 2.5V。

图 3-4 LVDS TX 接口示意图

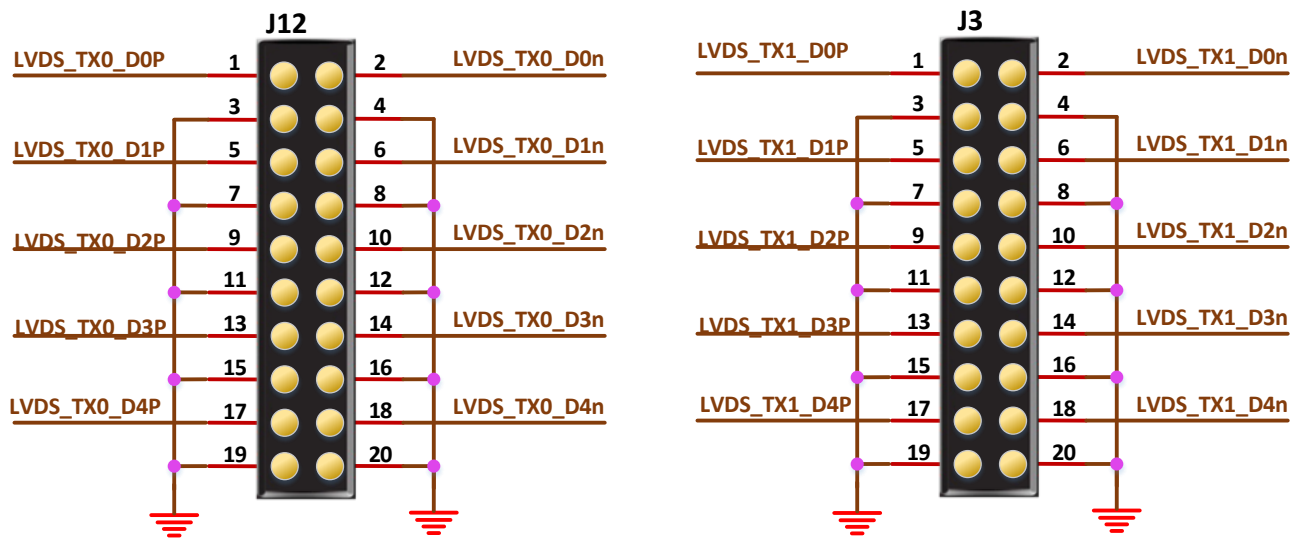
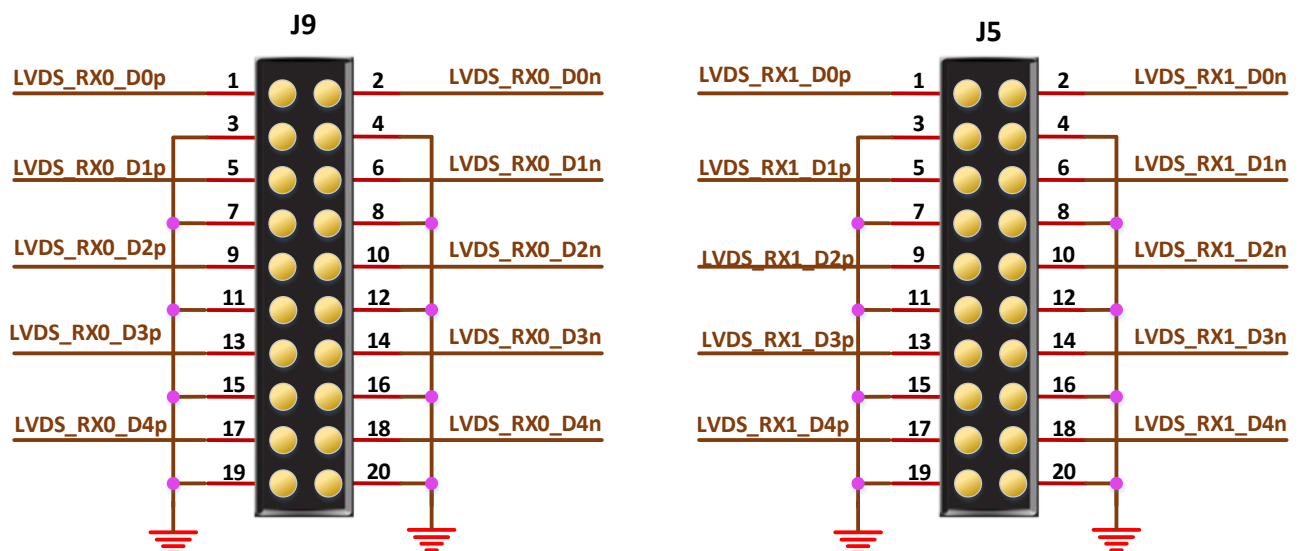


图 3-5 LVDS RX 接口示意图



## 3.5.2 管脚分配

表 3-3 LVDS TX0 接口管脚分配

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
1	LVDS_TX0_D0p	W7	5	2.5V	差分通道1+
2	LVDS_TX0_D0n	W8	5	2.5V	差分通道1-
5	LVDS_TX0_D1p	Y7	5	2.5V	差分通道2+
6	LVDS_TX0_D1n	Y8	5	2.5V	差分通道2-
9	LVDS_TX0_D2p	W9	5	2.5V	差分通道3+
10	LVDS_TX0_D1n	Y9	5	2.5V	差分通道3-
13	LVDS_TX0_D3p	AA7	5	2.5V	差分通道4+
14	LVDS_TX0_D1n	AB7	5	2.5V	差分通道4-
17	LVDS_TX0_D4p	W10	5	2.5V	差分通道5+
18	LVDS_TX0_D1n	W11	5	2.5V	差分通道5-

表 3-4 LVDS TX1 接口管脚分配

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
1	LVDS_TX1_D0p	V17	4	2.5V	差分通道6+
2	LVDS_TX1_D0n	V18	4	2.5V	差分通道6-
5	LVDS_TX1_D1p	V16	4	2.5V	差分通道7+
6	LVDS_TX1_D1n	U16	4	2.5V	差分通道7-
9	LVDS_TX1_D2p	Y19	4	2.5V	差分通道8+
10	LVDS_TX1_D2n	Y18	4	2.5V	差分通道8-
13	LVDS_TX1_D3p	AA17	4	2.5V	差分通道9+
14	LVDS_TX1_D3n	Y17	4	2.5V	差分通道9-
17	LVDS_TX1_D4p	Y16	4	2.5V	差分通道10+
18	LVDS_TX1_D4n	W16	4	2.5V	差分通道10-

表 3-5 LVDS RX0 接口管脚分配

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
1	LVDS_RX0_D0p	B6	0	2.5V	差分通道1+
2	LVDS_RX0_D0n	A6	0	2.5V	差分通道1-
5	LVDS_RX0_D1p	C7	0	2.5V	差分通道2+
6	LVDS_RX0_D1n	C8	0	2.5V	差分通道2-
9	LVDS_RX0_D2p	A9	0	2.5V	差分通道3+
10	LVDS_RX0_D2n	A10	0	2.5V	差分通道3-
13	LVDS_RX0_D3p	C9	0	2.5V	差分通道4+
14	LVDS_RX0_D3n	C10	0	2.5V	差分通道4-

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
17	LVDS_RX0_D4p	D9	0	2.5V	差分通道5+
18	LVDS_RX0_D4n	D10	0	2.5V	差分通道5-

表 3-6 LVDS RX1 接口管脚分配

接口引脚号	信号名称	FPGA 管脚号	BANK	I/O 电平	描述
1	LVDS_RX1_D0p	E14	1	2.5V	差分通道 6+
2	LVDS_RX1_D0n	E15	1	2.5V	差分通道 6-
5	LVDS_RX1_D1p	D16	1	2.5V	差分通道 7+
6	LVDS_RX1_D1n	E16	1	2.5V	差分通道 7-
9	LVDS_RX1_D2p	A18	1	2.5V	差分通道 8+
10	LVDS_RX1_D2n	A19	1	2.5V	差分通道 8-
13	LVDS_RX1_D3p	C18	1	2.5V	差分通道 9+
14	LVDS_RX1_D3n	C19	1	2.5V	差分通道 9-
17	LVDS_RX1_D4p	A22	1	2.5V	差分通道 10+
18	LVDS_RX1_D4n	B22	1	2.5V	差分通道 10-

### 3.6 MIPI DSI

#### 3.6.1 介绍

DSI 接口包括 5 对差分，包括 1 路时钟、4 路数据。5 个 lane 的差分信号同时引到 20pin 的双排插针。

图 3-6 MIPI DSI TX0 模块连接示意图

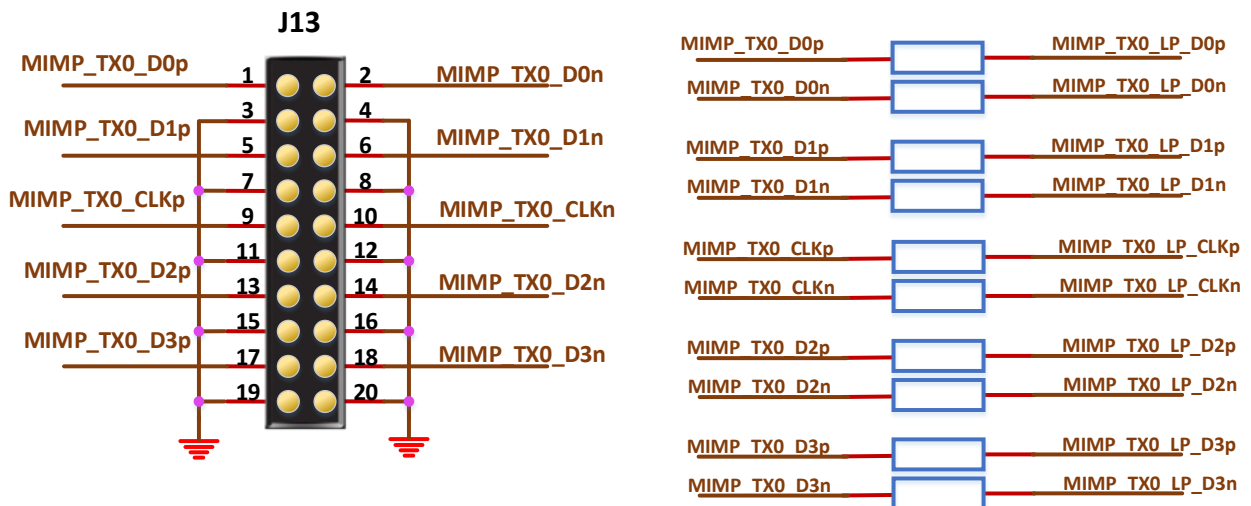
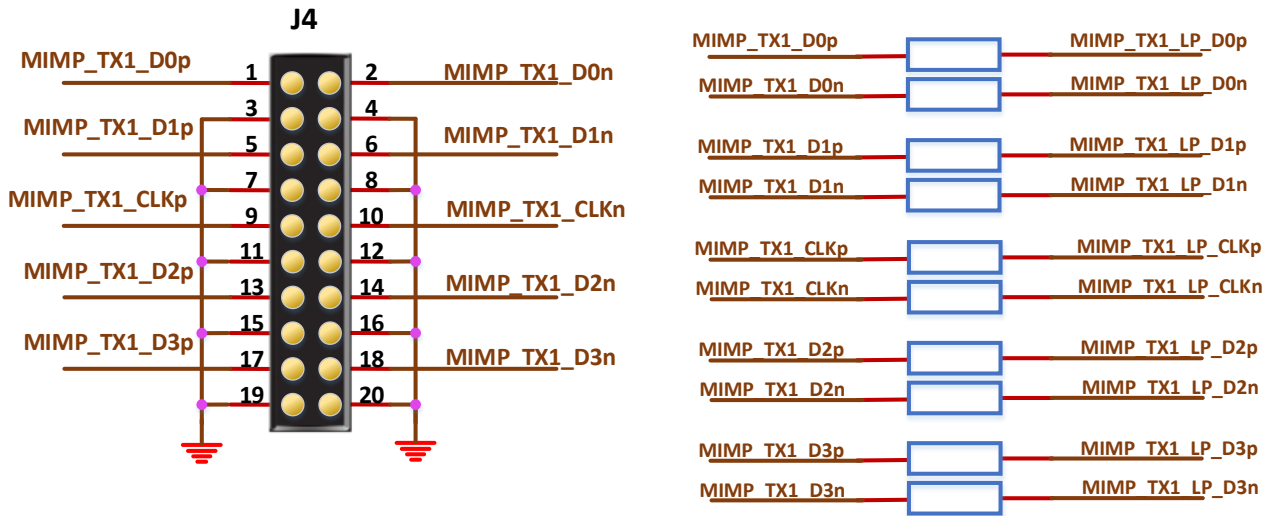


图 3-7 MIPI DSI TX1 模块连接示意图



### 3.6.2 管脚分配

表 3-7 MIPI DSI TX0 模块管脚分配

信号名称	FPGA管脚号	BANK	I/O电平	描述
MIPI_TX0_D0n	U7	5	2.5V	HS差分数据0-
MIPI_TX0_D0p	U6	5	2.5V	HS差分数据0+
MIPI_TX0_D1n	V7	5	2.5V	HS差分数据1-
MIPI_TX0_D1p	V6	5	2.5V	HS差分数据1+
MIPI_TX0_CLKn	AB10	5	2.5V	HS差分时钟-
MIPI_TX0_CLKp	AB9	5	2.5V	HS差分时钟+
MIPI_TX0_D2n	Y5	5	2.5V	HS差分数据2-
MIPI_TX0_D2p	Y4	5	2.5V	HS差分数据2+
MIPI_TX0_D3n	AA6	5	2.5V	HS差分数据3-
MIPI_TX0_D3p	Y6	5	2.5V	HS差分数据3+
MIPI_TX0_LP_D0n	G3	7	1.2V	LP单端数据0
MIPI_TX0_LP_D0p	F4	7	1.2V	LP单端数据0
MIPI_TX0_LP_D1n	H3	7	1.2V	LP单端数据1
MIPI_TX0_LP_D1p	G4	7	1.2V	LP单端数据1
MIPI_TX0_LP_CLKn	J4	7	1.2V	LP单端时钟
MIPI_TX0_LP_CLKp	H4	7	1.2V	LP单端时钟
MIPI_TX0_LP_D2n	K5	7	1.2V	LP单端数据2
MIPI_TX0_LP_D2p	J5	7	1.2V	LP单端数据2
MIPI_TX0_LP_D3n	L5	7	1.2V	LP单端数据3
MIPI_TX0_LP_D3p	L4	7	1.2V	LP单端数据3

表 3-8 MIPI DSI TX1 模块管脚分配

信号名称	FPGA管脚号	BANK	I/O电平	描述
MIPI_TX1_D0n	AA16	4	2.5V	HS差分数据0-
MIPI_TX1_D0p	AB16	4	2.5V	HS差分数据0+
MIPI_TX1_D1n	AA15	4	2.5V	HS差分数据1-
MIPI_TX1_D1p	AB15	4	2.5V	HS差分数据1+
MIPI_TX1_CLKn	AA12	4	2.5V	HS差分时钟-
MIPI_TX1_CLKp	AB12	4	2.5V	HS差分时钟+
MIPI_TX1_D2n	V15	4	2.5V	HS差分数据2-
MIPI_TX1_D2p	V14	4	2.5V	HS差分数据2+
MIPI_TX1_D3n	W13	4	2.5V	HS差分数据3-
MIPI_TX1_D3p	W12	4	2.5V	HS差分数据3+
MIPI_TX1_LP_D0n	N1	7	1.2V	LP单端数据0
MIPI_TX1_LP_D0p	P1	7	1.2V	LP单端数据0
MIPI_TX1_LP_D1n	M2	7	1.2V	LP单端数据1
MIPI_TX1_LP_D1p	M1	7	1.2V	LP单端数据1
MIPI_TX1_LP_CLKn	L2	7	1.2V	LP单端时钟
MIPI_TX1_LP_CLKp	L1	7	1.2V	LP单端时钟
MIPI_TX1_LP_D2n	K3	7	1.2V	LP单端数据2
MIPI_TX1_LP_D2p	K1	7	1.2V	LP单端数据2
MIPI_TX1_LP_D3n	J1	7	1.2V	LP单端数据3
MIPI_TX1_LP_D3p	J3	7	1.2V	LP单端数据3

## 3.7 MIPI CSI

### 3.7.1 介绍

MIPI CSI 接口包括 5 对差分，其中 1 路时钟、4 路数据。5 个 lane 的差分信号同时引到 20pin 的双排插针。连接示意图如图 3-8 和图 3-9 所示。

图 3-8 MIPI CSI RX0 模块连接示意图

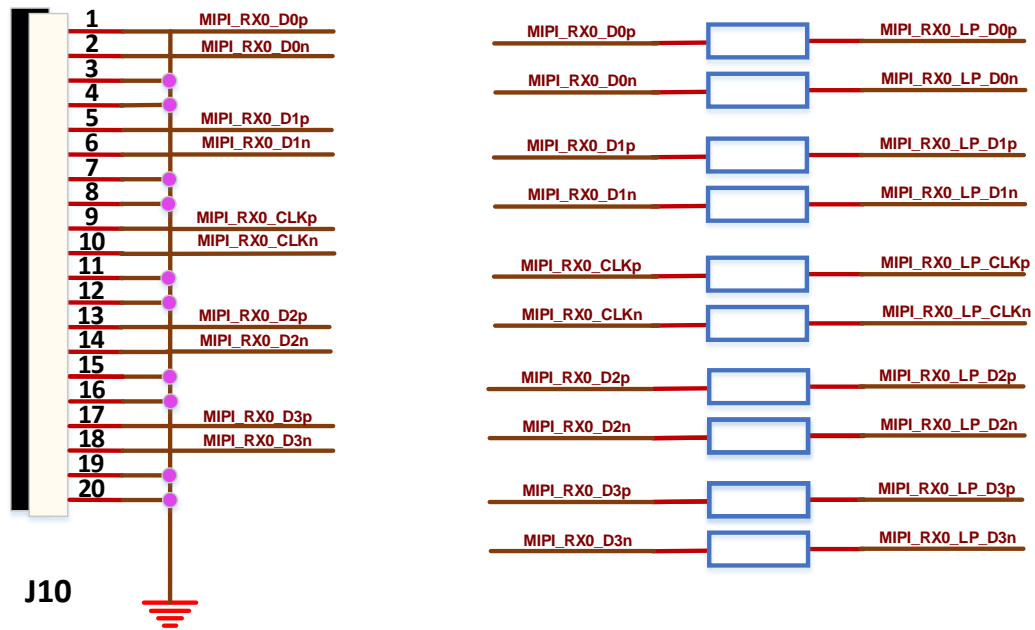
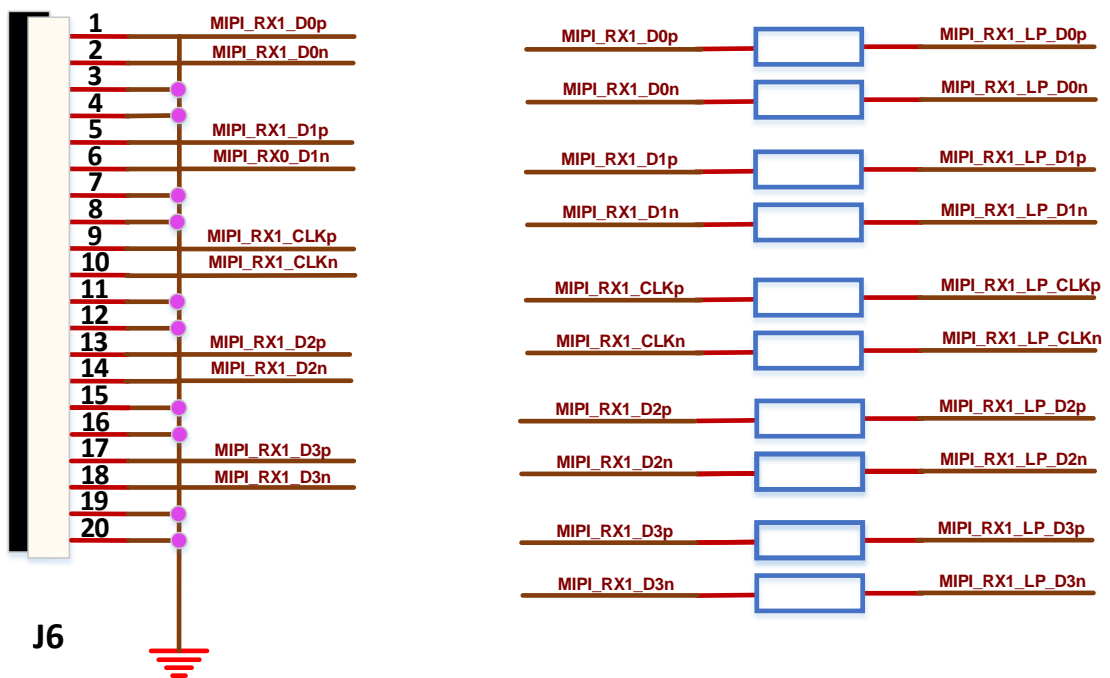
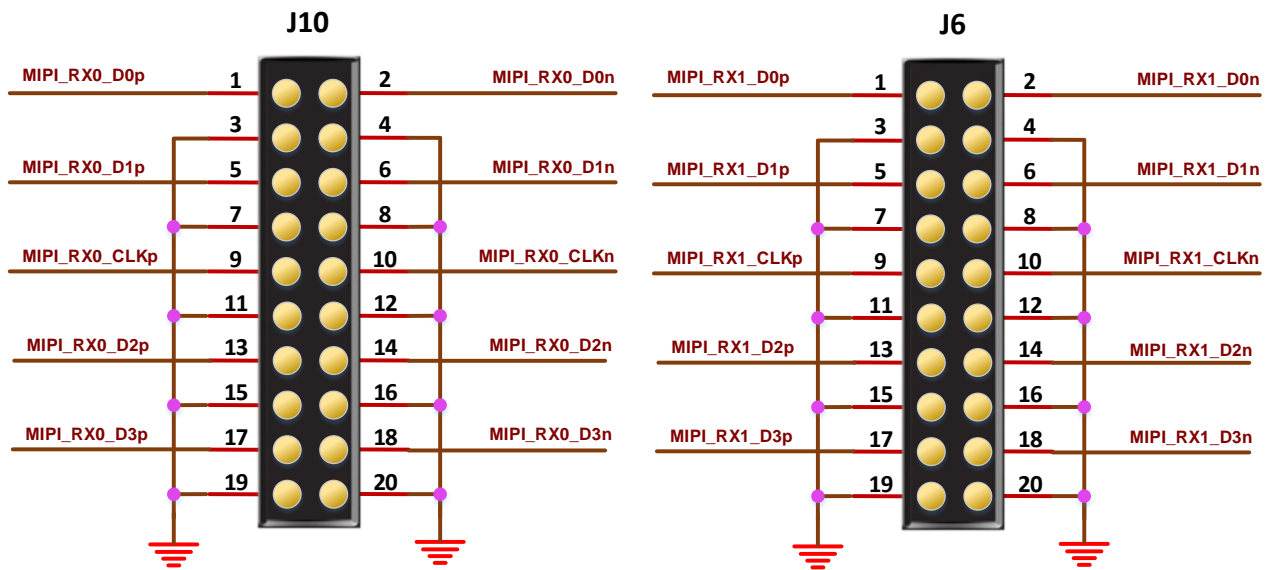


图 3-9 MIPI CSI RX1 模块连接示意图





### 3.7.2 管脚分配

表 3-9 MIPI CSI RX0 模块管脚分配

信号名称	FPGA管脚号	BANK	I/O电平	描述
MIPI_RX0_D0p	A2	0	2.5V	HS差分数据0+
MIPI_RX0_D0n	A3	0	2.5V	HS差分数据0-
MIPI_RX0_D1p	D4	0	2.5V	HS差分数据1+
MIPI_RX0_D1n	C4	0	2.5V	HS差分数据1-
MIPI_RX0_CLKp	B11	0	2.5V	HS差分时钟+
MIPI_RX0_CLKn	B12	0	2.5V	HS差分时钟-
MIPI_RX0_D2p	D5	0	2.5V	HS差分数据2+
MIPI_RX0_D2n	D6	0	2.5V	HS差分数据2-
MIPI_RX0_D3p	F6	0	2.5V	HS差分数据3+
MIPI_RX0_D3n	F7	0	2.5V	HS差分数据3-
MIPI_RX0_LP_D0p	F2	7	1.2V	LP单端数据
MIPI_RX0_LP_D0n	G1	7	1.2V	LP单端数据
MIPI_RX0_LP_D1p	G2	7	1.2V	LP单端数据
MIPI_RX0_LP_D0n	F1	7	1.2V	LP单端数据
MIPI_RX0_LP_D2p	H2	7	1.2V	LP单端数据
MIPI_RX0_LP_D2n	H1	7	1.2V	LP单端数据
MIPI_RX0_LP_D3p	B3	7	1.2V	LP单端数据
MIPI_RX0_LP_D3n	B2	7	1.2V	LP单端数据



信号名称	FPGA管脚号	BANK	I/O电平	描述
MIPI_RX0_LP_CLKp	C3	7	1.2V	LP单端时钟
MIPI_RX0_LP_CLKn	D3	7	1.2V	LP单端时钟

表 3-10 MIPI CSI RX1 模块管脚分配

信号名称	FPGA管脚号	BANK	I/O电平	描述
MIPI_RX1_D0p	E12	1	2.5V	HS差分数据0+
MIPI_RX1_D0n	E13	1	2.5V	HS差分数据0-
MIPI_RX1_D1p	A15	1	2.5V	HS差分数据1+
MIPI_RX1_D1n	B15	1	2.5V	HS差分数据1-
MIPI_RX1_CLKp	D11	1	2.5V	HS差分时钟+
MIPI_RX1_CLKn	D12	1	2.5V	HS差分时钟-
MIPI_RX1_D2p	C14	1	2.5V	HS差分数据2+
MIPI_RX1_D2n	C15	1	2.5V	HS差分数据2-
MIPI_RX1_D3p	A17	1	2.5V	HS差分数据3+
MIPI_RX1_D3n	B17	1	2.5V	HS差分数据3-
MIPI_RX1_LP_D0p	E4	7	1.2V	LP单端数据
MIPI_RX1_LP_D0n	F5	7	1.2V	LP单端数据
MIPI_RX1_LP_D1p	E3	7	1.2V	LP单端数据
MIPI_RX1_LP_D1n	F3	7	1.2V	LP单端数据
MIPI_RX1_LP_D2p	D1	7	1.2V	LP单端数据
MIPI_RX1_LP_D2n	E1	7	1.2V	LP单端数据
MIPI_RX1_LP_D3p	G6	7	1.2V	LP单端数据
MIPI_RX1_LP_D3n	G5	7	1.2V	LP单端数据
MIPI_RX1_LP_CLKp	C2	7	1.2V	LP单端时钟
MIPI_RX1_LP_CLKn	C1	7	1.2V	LP单端时钟

## 3.8 GPIO

### 3.8.1 介绍

为了方便用户测试，在开发板上预留 2 个 2.54mm 间距的双列插针，共引出了 70 个 GPIO。2 个 40pin 接口的 GPIO 复用。

图 3-10 40pin GPIO0 接口示意图

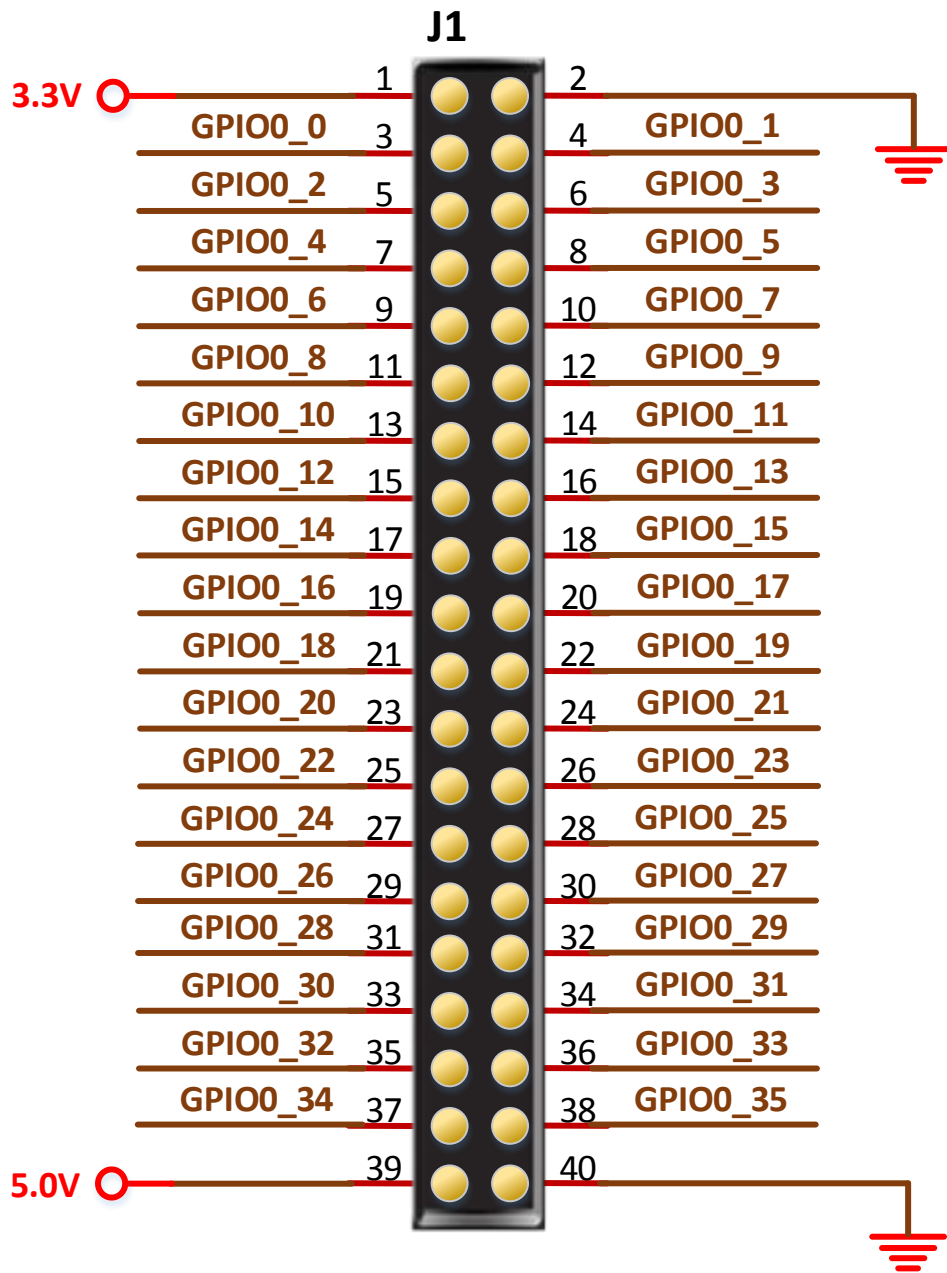
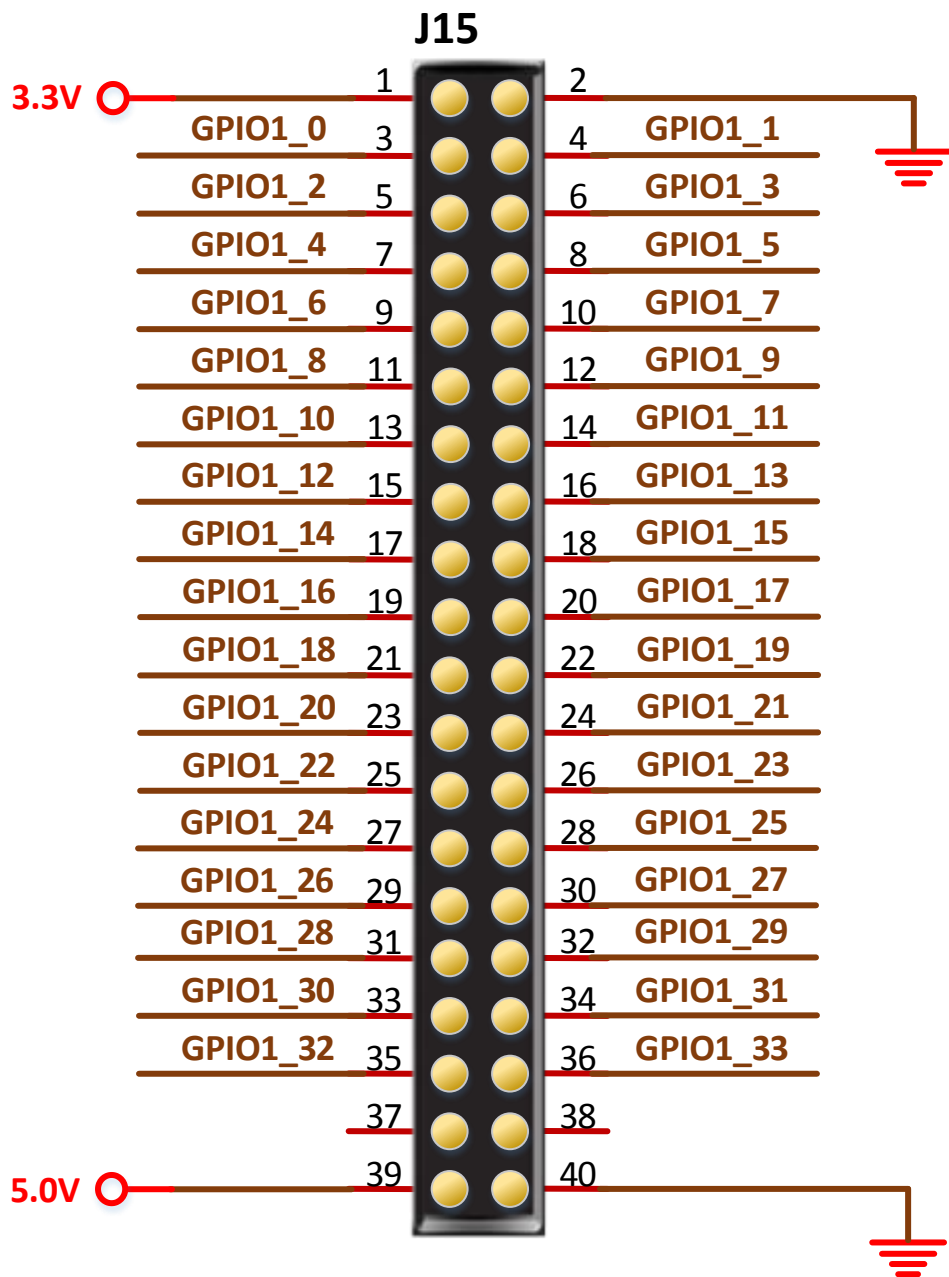


图 3-11 40pin GPIO1 接口示意图



### 3.8.2 管脚分配

表 3-11 40pin GPIO0 接口管脚分配

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
3	GPIO0_0	B20	2	3.3V	通用I/O
4	GPIO0_1	B21	2	3.3V	通用I/O
5	GPIO0_2	C20	2	3.3V	通用I/O
6	GPIO0_3	E19	2	3.3V	通用I/O
7	GPIO0_4	D19	2	3.3V	通用I/O
8	GPIO0_5	D20	2	3.3V	通用I/O

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
9	GPIO0_6	C21	2	3.3V	通用I/O
10	GPIO0_7	E20	2	3.3V	通用I/O
11	GPIO0_8	C22	2	3.3V	通用I/O
12	GPIO0_9	D22	2	3.3V	通用I/O
13	GPIO0_10	E22	2	3.3V	通用I/O
14	GPIO0_11	F21	2	3.3V	通用I/O
15	GPIO0_12	F22	2	3.3V	通用I/O
16	GPIO0_13	G21	2	3.3V	通用I/O
17	GPIO0_14	G22	2	3.3V	通用I/O
18	GPIO0_15	H21	2	3.3V	通用I/O
19	GPIO0_16	H22	2	3.3V	通用I/O
20	GPIO0_17	J22	2	3.3V	通用I/O
21	GPIO0_18	G17	5	3.3V	通用I/O
22	GPIO0_19	F19	2	3.3V	通用I/O
23	GPIO0_20	K22	2	3.3V	通用I/O
24	GPIO0_21	F18	2	3.3V	通用I/O
25	GPIO0_22	L22	2	3.3V	通用I/O
26	GPIO0_23	G20	2	3.3V	通用I/O
27	GPIO0_24	F20	2	3.3V	通用I/O
28	GPIO0_25	G18	2	3.3V	通用I/O
29	GPIO0_26	G19	5	3.3V	通用I/O
30	GPIO0_27	H20	2	3.3V	通用I/O
31	GPIO0_28	H19	2	3.3V	通用I/O
32	GPIO0_29	H18	2	3.3V	通用I/O
33	GPIO0_30	J20	2	3.3V	通用I/O
34	GPIO0_31	J19	2	3.3V	通用I/O
35	GPIO0_32	J10	2	3.3V	通用I/O
36	GPIO0_33	K19	2	3.3V	通用I/O
37	GPIO0_34	K18	2	3.3V	通用I/O
38	GPIO0_35	L19	2	3.3V	通用I/O

表 3-12 40pin GPIO1 接口管脚分配

接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
3	GPIO1_0	N4	6	3.3V	通用I/O
4	GPIO1_1	P4	6	3.3V	通用I/O
5	GPIO1_2	R5	6	3.3V	通用I/O
6	GPIO1_3	T6	6	3.3V	通用I/O
7	GPIO1_4	T5	6	3.3V	通用I/O

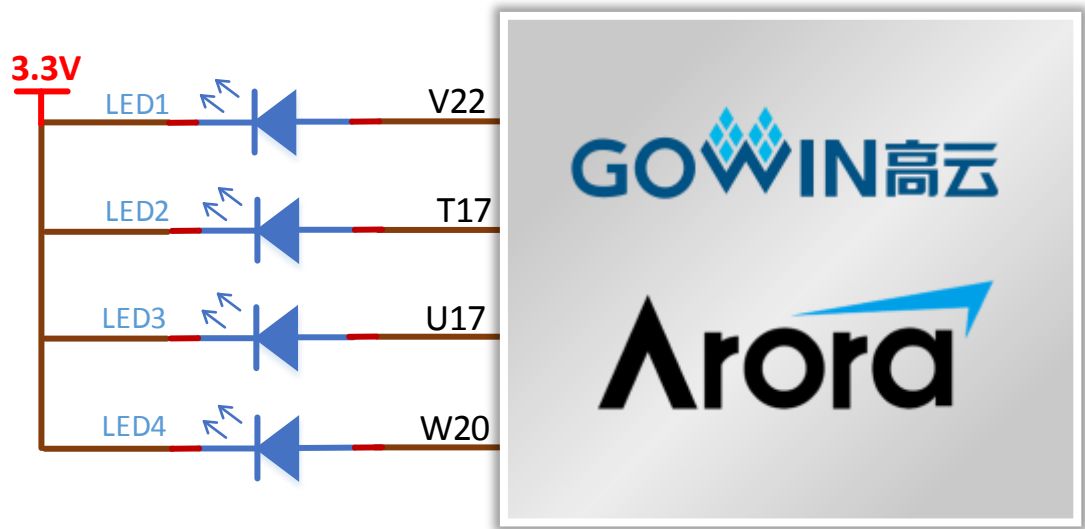
接口引脚号	信号名称	FPGA管脚号	BANK	I/O电平	描述
8	GPIO1_5	U5	6	3.3V	通用I/O
9	GPIO1_6	U4	6	3.3V	通用I/O
10	GPIO1_7	U3	6	3.3V	通用I/O
11	GPIO1_8	M5	6	3.3V	通用I/O
12	GPIO1_9	M4	6	3.3V	通用I/O
13	GPIO1_10	M3	6	3.3V	通用I/O
14	GPIO1_11	N5	6	3.3V	通用I/O
15	GPIO1_12	N3	6	3.3V	通用I/O
16	GPIO1_13	P5	6	3.3V	通用I/O
17	GPIO1_14	P3	6	3.3V	通用I/O
18	GPIO1_15	R3	6	3.3V	通用I/O
19	GPIO1_16	R4	6	3.3V	通用I/O
20	GPIO1_17	T4	6	3.3V	通用I/O
21	GPIO1_18	T3	6	3.3V	通用I/O
22	GPIO1_19	R2	6	3.3V	通用I/O
23	GPIO1_20	T2	6	3.3V	通用I/O
24	GPIO1_21	U1	6	3.3V	通用I/O
25	GPIO1_22	U2	6	3.3V	通用I/O
26	GPIO1_23	V1	6	3.3V	通用I/O
27	GPIO1_24	W1	6	3.3V	通用I/O
28	GPIO1_25	Y1	6	3.3V	通用I/O
29	GPIO1_26	Y2	5	3.3V	通用I/O
30	GPIO1_27	AA1	6	3.3V	通用I/O
31	GPIO1_28	AA2	6	3.3V	通用I/O
32	GPIO1_29	W3	6	3.3V	通用I/O
33	GPIO1_30	W4	6	3.3V	通用I/O
34	GPIO1_31	V5	6	3.3V	通用I/O
35	GPIO1_32	V4	6	3.3V	通用I/O
36	GPIO1_33	V3	6	3.3V	通用I/O

## 3.9 LED 模块

### 3.9.1 介绍

开发板中有4个蓝色LED灯,用户可用LED灯来显示所需状态。当FPGA对应管脚输出信号为低电平时,LED被点亮;当输出信号为高电平时,LED熄灭。连接示意图如图3-12所示。

图 3-12 LED 连接示意图



### 3.9.2 管脚分配

表 3-13 LED 指示灯管脚分配

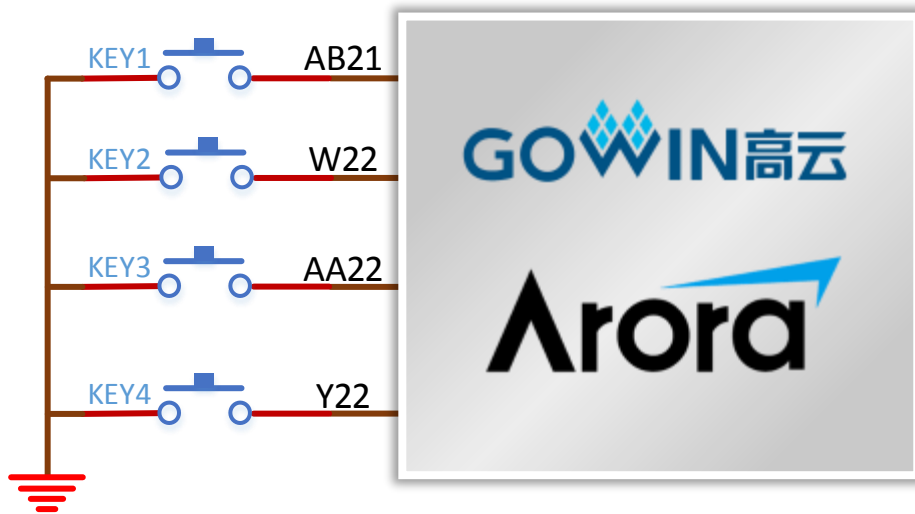
信号名称	FPGA 管脚号	BANK	I/O 电平 <sup>1</sup>	描述
LED1	V22	3	3.3V	LED 指示灯 1
LED2	T17	3	3.3V	LED 指示灯 2
LED3	U17	3	3.3V	LED 指示灯 3
LED4	W20	3	3.3V	LED 指示灯 4

## 3.10 按键模块

### 3.10.1 介绍

开发板中有 4 个按键开关,可用于测试过程中的控制输入。按键按下时,输入低电平。连接示意图如图 3-13 所示。

图 3-13 按键电路



### 3.10.2 管脚分配

表 3-14 按键模块管脚分配

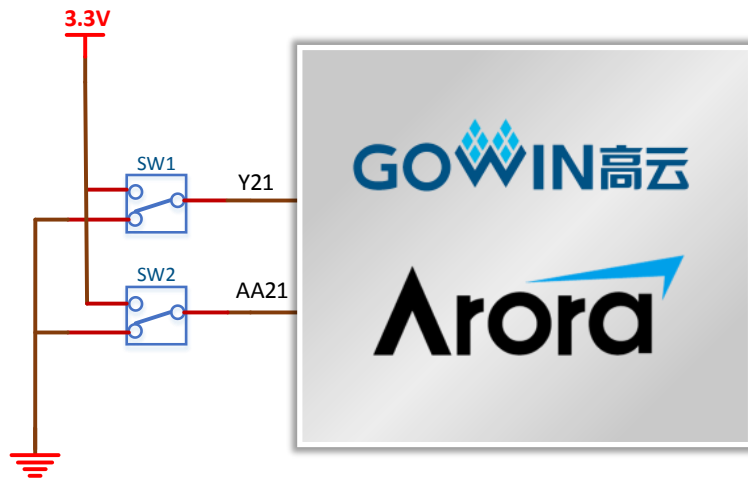
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
KEY1	AB21	3	3.3V	按键 1
KEY2	W22	3	3.3V	按键 2
KEY3	AA22	3	3.3V	按键 3
KEY4	Y22	3	3.3V	按键 4

## 3.11 开关模块

### 3.11.1 介绍

开发板中有 2 个滑动开关，可用于测试过程中的控制输入。连接示意图如图 3-14 所示。

图 3-14 开关电路



### 3.11.2 管脚分配

表 3-15 开关模块管脚分配

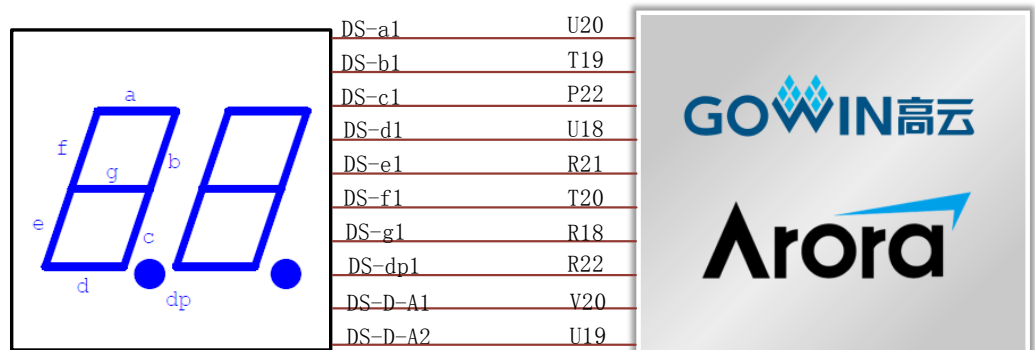
信号名称	FPGA 管脚号	BANK	I/O 电平	描述
SW1	Y21	3	3.3V	滑动开关 1
SW2	AA21	3	3.3V	滑动开关 2

## 3.12 数码管模块

### 3.12.1 介绍

开发板中有 1 个 2 位数码管，可用于测试过程中的控制输出。连接示意图如图 3-15 所示。

图 3-15 数码管电路





## 3.12.2 管脚分配

表 3-16 数码管管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
DS-a1	U20	3	3.3V	数码管管脚
DS-b1	T19	3	3.3V	数码管管脚
DS-c1	P22	3	3.3V	数码管管脚
DS-d1	U18	3	3.3V	数码管管脚
DS-e1	R21	3	3.3V	数码管管脚
DS-f1	T20	3	3.3V	数码管管脚
DS-g1	R18	3	3.3V	数码管管脚
DS-dp1	R22	3	3.3V	数码管管脚
DS-D-A1	V20	3	3.3V	数码管驱动控制
DS-D-A2	U19	3	3.3V	数码管驱动控制

## 3.13 蜂鸣器模块

### 3.13.1 介绍

开发板中有 1 个蜂鸣器，可用于测试过程中的控制输出。连接示意图如图 3-16 所示。

图 3-16 蜂鸣器电路



### 3.13.2 管脚分配

表 3-17 蜂鸣器模块管脚分配

信号名称	FPGA 管脚号	BANK	I/O 电平	描述
Buzzer	T18	3	3.3V	蜂鸣器控制

